

一种应用于物联网传感器的伪三阶 Delta-Sigma 调制器

魏 聪, 黄黎杰, 胡 炜, 魏榕山*

(福州大学物理与信息工程学院, 福建福州 350108)

摘要: 针对物联网传感器难以同时满足高分辨率与低功耗的瓶颈问题, 本文设计了一种伪三阶离散时间 delta-sigma 调制器. 该架构将一阶无源噪声整形 SAR (Successive Approximation Register) 量化器嵌入传统二阶 delta-sigma 调制器以实现更强的噪声整形能力. 本文设计允许系统在更低的过采样率 (Over Sampling Ratio, OSR) 下获取更高的峰值 SQNR (Signal-to-Quantizing Noise Ratio), 有效缓解了系统精度和功耗之间的设计矛盾, 并且减少了有源积分器的使用. 针对传统有源加法器高功耗和无源加法器存在衰减不确定性的问题, 本文提出了一种新型前馈求和量化电路, 它具有对衰减不敏感的优势并且降低了第二级有源积分器的驱动压力, 这进一步降低了系统的功耗. 本文提出的 delta-sigma 调制器采用 180 nm CMOS (Complementary Metal Oxide Semiconductor) 工艺制造并测试. 在电源电压 1.4 V 下, 芯片测试功耗为 47.2 μ W. 在带宽为 8 kHz 的测试条件下, 调制器的 DR (Dynamic Range)、峰值 SNDR (Signal-to-Noise and Distortion Ratio) 和 SFDR (Spurious-Free Dynamic Range) 分别为 97.2 dB, 96.6 dB 和 114.4 dB. 因此, Schreier 和 Walden 的 SNDR FoM (Figure of Merit) 优值达到了 178.9 dB 和 0.053 pJ/step. 本文提出的伪三阶 delta-sigma 调制器在功耗和分辨率之间实现了较好的权衡, 为物联网领域的低功耗高分辨率调制器设计提供了较好的解决方案.

关键词: 物联网; delta-sigma 调制器; 低功耗; 高分辨率

基金项目: 国家自然科学基金 (No.62274036)

中图分类号: TN432

文献标识码: A

文章编号: 0372-2112(2024)06-2123-08

电子学报 URL: <http://www.ejournal.org.cn>

DOI: 10.12263/DZXB.20240155

Pseudo Third-Order Delta-Sigma Modulator Applied to Internet of Things Sensors

WEI Cong, HUANG Li-jie, HU Wei, WEI Rong-shan*

(School of Physics and Information Engineering, Fuzhou University, Fuzhou, Fujian 350108, China)

Abstract: This paper proposes a pseudo third-order discrete-time delta-sigma modulator to address the bottleneck of high resolution and low power consumption in Internet of Things (IoT) sensors. This architecture embeds a first-order passive noise-shaping SAR (Successive Approximation Register) quantizer into a conventional second-order delta-sigma modulator to achieve stronger noise-shaping capabilities. This allows the system to achieve higher peak SQNR (Signal-to-Quantizing Noise Ratio) at lower OSR (Over Sampling Ratio), effectively mitigating the design trade-off between system accuracy and power consumption, while reducing the use of active integrators. In response to the high power consumption of traditional active adders and the attenuation uncertainty of passive adders, this paper proposes a novel feedforward sum quantization circuit. It has the advantage of being insensitive to attenuation and reduces the driving pressure of the second stage active integrator, which further reduces the power consumption of the system. The proposed delta-sigma modulator is manufactured and tested using a 180 nm CMOS (Complementary Metal Oxide Semiconductor) process. At a power supply voltage of 1.4 V, the tested power consumption of the chip is 47.2 μ W. With a bandwidth of 8 kHz, the DR (Dynamic Range), peak SNDR (Signal-to-Noise and Distortion Ratio), and SFDR (Spurious-Free Dynamic Range) of the modulator are 97.2 dB, 96.6 dB, and 114.4 dB, respectively. Therefore, figure-of-merit (FoM) Schreier and Walden for SNDR are 178.9 dB and 0.053 pJ/step. The pseudo third-order delta-sigma modulator proposed in this article achieves a good balance between

power consumption and resolution, providing a good solution for low-power and high-resolution modulator design in the field of the IoTs.

Key words: internet of things; delta-sigma modulator; low power; high resolution

Foundation Item(s): National Natural Science Foundation of China (No.62274036)

1 引言

在低功耗物联网(Internet of Things, IoT)传感器接口电路中,通常由电池或者收集的能量供电,这需要攻克在千赫兹带宽内同时实现低功耗和高分辨率的设计瓶颈. 逐次逼近式模拟数字转换器(Successive Approximation Register Analog-to-Digital Converter, SAR ADC)在中等分辨率(小于 12 bit)下表现出良好的能量效率^[1]. 然而,为了实现 SNDR(Signal-to-Noise and Distortion Ratio)超过 90 dB, SAR ADC 需要大量的面积和复杂的校准技术. 此外,为了降低成本,通常选择成熟的工艺实现物联网传感器的应用, SAR ADC 中大量的数字成分进一步成为设计中的难点. 噪声整形 SAR 量化器可以有效地提高传统 SAR ADC 的分辨率. 它们主要通过电容阵列失配误差整形^[2,3]和量化误差整形^[4,5]来提高 ADC 的 SQNR(Signal-to-Quantizing Noise Ratio),但要实现大于 90 dB 的 SNDR 需要复杂的校准技术和更大的输入电容^[6]. 两步式 ADC 在中等分辨率设计中具有不错的性能平衡,但在高分辨率场合会受到复杂性和校准难度的限制^[7]. 在千赫兹带宽内,基于噪声整形和过采

样技术的 delta-sigma 调制器在低功耗和高分辨率应用中具有更大的优势^[8-11]. 通常情况下, delta-sigma 调制器的分辨率可以通过增加过采样率(Over Sampling Ratio, OSR),采用更高的环路阶数,增加量化器位数,或使用多级噪声整形(Multi-Stage Noise Shaping, MASH)技术^[12]来提升. 然而,这些改进需要使用高性能的运算跨导放大器(Operational Transconductance Amplifier, OTA)来有效实现噪声传递函数(Noise Transfer Function, NTF)和信号传递函数(Signal Transfer Function, STF). 传统的 OTA 通常消耗大量的静态功耗,这大大增加了系统功耗. 传统的三阶前馈积分级联滤波器型(Cascade of Integrators with Feed Forward, CIFF)四比特 delta-sigma 调制器架构如图 1 所示,包括 3 个有源积分器、1 个前馈求和加法器和 1 个四比特量化器. 为了对抗求和衰减并且减少对多比特量化器的压力,前馈求和加法器通常基于有源 OTA 实现,这成为低功耗设计的难题. 无源求和加法器具有低功耗的优势,但具有衰减不确定性和对后级量化器设计要求高的缺点,这限制了芯片良率.

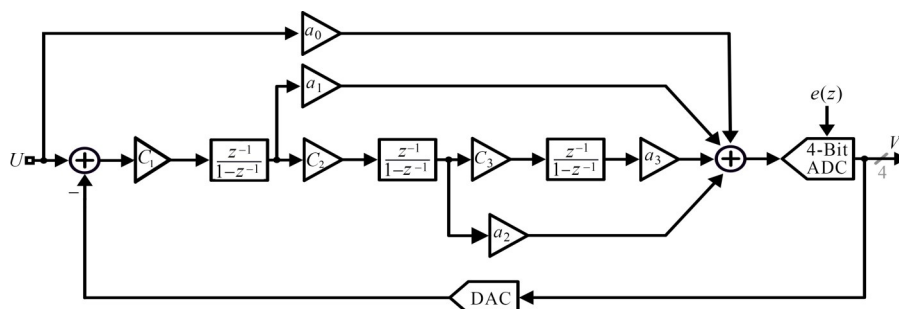


图1 传统的三阶 CIFF 四比特 delta-sigma 调制器架构

本文设计的伪三阶离散时间 delta-sigma 调制器由 2 个有源积分器、前馈求和和量化电路和数据加权平均(Weighted Average of Data, DWA)模块组成. 传统架构中第 3 个积分器在 SAR ADC 内无源化实现,在不影响系统稳定性下增强了系统噪声整形能力并且减少了有源积分器的使用. 相比于传统二阶 delta-sigma 调制器而言,伪三阶结构在更低的 OSR 下可以实现更强的噪声整形能力,从而缓解系统精度和功耗之间的设计矛盾. 针对传统有源加法器高功耗和无源加法器存在衰减不确定性的问题,本文提出了一种新型前馈求和和量化电路,它具有对衰减不敏感的优势并且降低了第二级有源积分器的驱动压力,这进

一步降低了系统的功耗. 因此,本文较好地解决了物联网传感器应用中低功耗和高分辨率调制器的设计瓶颈. 采用 180 nm CMOS (Complementary Metal Oxide Semiconductor) 工艺进行流片与测试,验证了方案的可行性.

2 系统架构

本文设计的伪三阶 CIFF delta-sigma 调制器结构如图 2 所示. 输入前馈路径被添加以减小积分器的输出摆幅要求. 为了满足目标 SNDR 大于 97 dB 的设计要求,系统的带外增益(Out of Band Gain, OBG)被设计为 3.2, 过采样比为 64. DWA 模块被添加以解决反馈 DAC

(Digital to Analog Converter)中的线性问题. 为了让电路进一步无源化,第3级积分器以无源形式嵌入在 SAR 量化器中,系统的信号传递函数和噪声传递函数可以表示为

$$STF = \frac{z^{-0.5} - 2z^{-1.5} + z^{-2.5} + (c_1 a_1 + c_1 c_2 a_2) z^{-1} - c_1 a_2 z^{-2}}{1 + (c_1 a_1 - 2 + c_1 c_2 a_2) z^{-1} + (1 - c_1 a_1) z^{-2}} \quad (1)$$

$$NTF = \frac{(1 - z^{-1})^2 [1 - (1 - a) z^{-1}]}{1 + (c_1 a_1 - 2 + c_1 c_2 a_2) z^{-1} + (1 - c_1 a_1) z^{-2}} \quad (2)$$

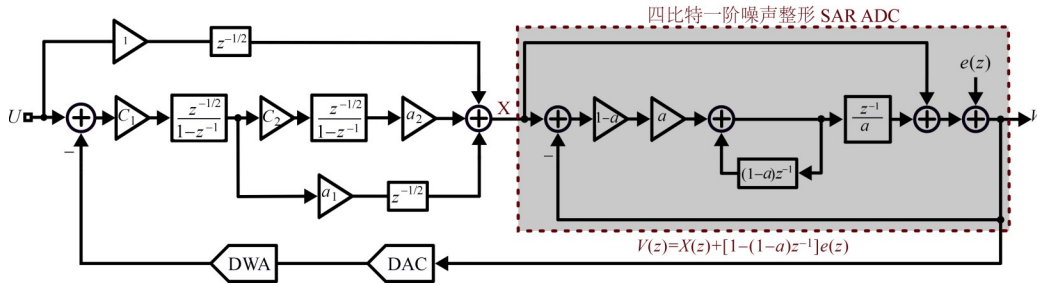


图2 所提出的伪三阶 delta-sigma 调制器架构

通过分解噪声整形 SAR 量化器的噪声传递函数,可以得到 $NTF = NTF_1 \cdot NTF_2$, 其中 $NTF_2 = 1 - (1 - a)z^{-1}$; NTF_2 在 $z = 1 - a$ 处引入一个零点,同时在 $z = 0$ 处引入一个极点,将其嵌入传统二阶系统,只要确保 NTF_1 的极点不在单位圆外,伪三阶四比特 delta-sigma 调制器就会形成一个稳定系统. 在系统架构层面,这种设计给系统带来更强的噪声整形能力,其允许系统在更低的 OSR 下获取更高的峰值 SQNR,并且减少了有源积分器的使用,大大降低了系统的功耗. 然而,引入衰减因子 a 必然导致系统噪声整形能力降低. 与传统的一阶无源噪声整形 SAR ADC 不同^[4],一阶无源噪声整形 SAR 量化器嵌入在 delta-sigma 环路中,非理想因素可以得到二阶环路滤波器的抑制,因此 a 可以被设计得更小. 考虑到在 $a = 0.25$ 时,系统已经可以实现 112 dB 的峰值 SQNR,为了更好地匹配系统,保守选择了 $a = 0.25$. 基于 OBG、MSA (Maximum Stable Amplitudes)、峰值 SQNR、系统匹

配和稳定性之间的权衡,选择了 $c_1 = 1$ 、 $c_2 = 1.6$ 、 $a_1 = 0.5$ 和 $a_2 = 0.5$.

3 电路实现

3.1 环路滤波器

本文提出的伪三阶 delta-sigma 调制器的简化电路如图 3 所示. 主要包括 2 个有源积分器、前馈求和量化电路和 1 个 DWA 模块. 为了提高采样线性度,采用了带有 15 个输出端口的栅压自举采样开关. 根据热噪声设计考虑^[13],调制器的等效输入参考热噪声功率可以被表示为

$$V_{n,thermal}^2 \approx 4 \frac{k_B \cdot T}{OSR \cdot C_{S1}} (1 - \lambda) \quad (3)$$

其中,OSR 是过采样比; C_{S1} 是积分器的输入采样电容; k_B 是玻尔兹曼常数; T 是绝对温度; λ 与开关导通电阻和放大器的等效跨导相关.

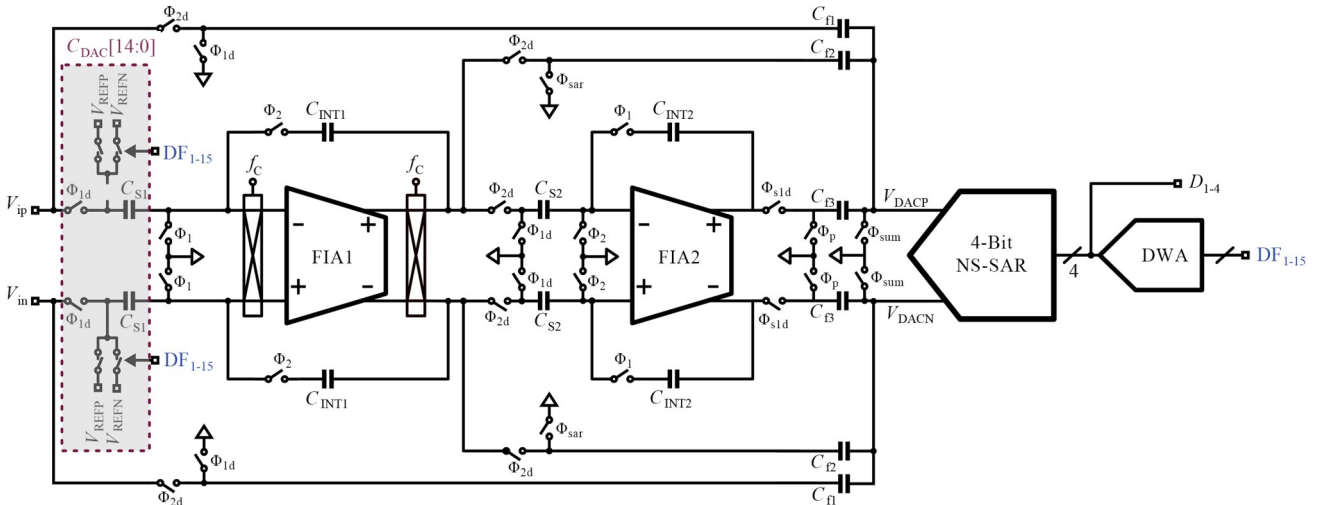


图3 伪三阶 delta-sigma 调制器的简化电路

基于97 dB目标的SNDR,最终选择 C_{S1} 大约为3.9 pF,以满足热噪声预算.在多比特delta-sigma调制器中,反馈DAC的匹配是十分重要的. $C_1\sim C_{15}$ 为15个大小为260 fF的子电容.15个单位电容采用环形布局,分别向外引出走线,如图4所示.在采样电容和积分电容外围放置一圈Dummy电容,用于防止过刻蚀.此外,Dummy电容也用于电源的滤波和隔离,它可以有效地抑制噪声和干扰信号的传输.这种环形对称布局具有面积小和匹配好的优势.在没有校准的情况下,15个反馈DAC子电容对外走线环境一致,这最大化降低了走线引起的失配误差.此外,由于工艺实现限制,该设计只能使用1 fF/ μm^2 的低密度MIM(Metal-Insulator-Metal)电容器.虽然低密度MIM电容需要占据更大的芯片面积,但也降低了反馈子DAC之间的失配.为了解决由反馈DAC子电容间失配引起的线性问题,NS-SAR(Noise-Shaping Successive Approximation Register)量化器的输出码流CDAC(Capacitive DAC)[14:0]经过DWA模块后再进行反馈.由于第2级积分器的热噪声要求相对宽松,因此 C_{S2} 大约为320 fF.此外,基于一半采样频率的斩波技术被用于消除第1级积分器的输入闪烁噪声.

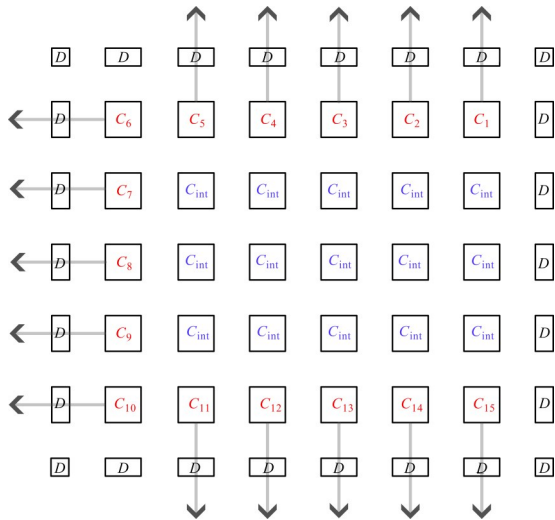


图4 反馈DAC的版图布局

3.2 共源共栅浮动反相放大器

相比传统放大器,动态放大器具有功耗低的优势.如图5所示,共源共栅浮动反相放大器(Floating Inverter Amplifier, FIA)^[14]作为动态放大器的代表,其具有能效高、噪声低和直流增益高的优势,因而被广泛用于高效delta-sigma调制器.与传统动态放大器不同,FIA基于储能电容 C_{RES} 给放大器提供动态偏置电压和偏置电流.在 Φ_1 相位,积分器处于复位状态;共源共栅浮动反相放大器的输出端被复位至共模电位,同时储

能电容 C_{RES} 被充电至电源电位.在 Φ_2 相位,积分器处于积分状态.随着积分的进行, C_{RES} 提供的偏置电流逐渐减小.当 C_{RES} 上的压差小于2倍阈值电压时,共源共栅浮动反相放大器停止工作.共源共栅浮动反相放大器很容易提供超过60 dB的直流增益,但是它的输出摆幅较低.受益于动态缩放技术、四比特量化器和输入前馈路径,对积分器的输出摆幅的要求被显著降低.因此,共源共栅浮动反相放大器成为本设计的最佳选择.

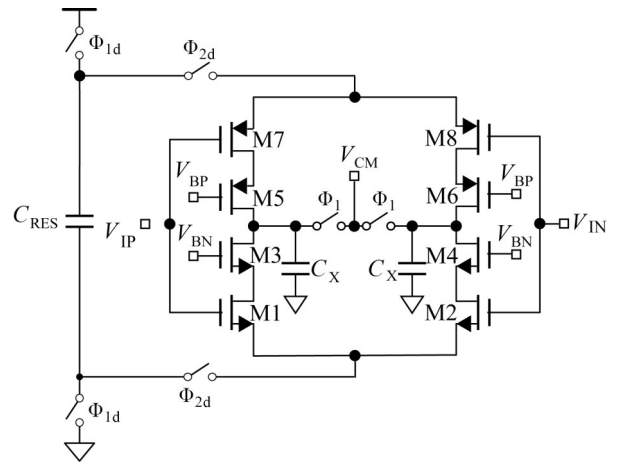


图5 共源共栅浮动反相放大器

为了给第1级积分器提供足够的直流增益,选择 C_{RES} 大约为11.4 pF.第1级积分器的直流增益对比输出摆幅曲线如图6所示.在5个不同工艺角的仿真条件下,共源共栅浮动反相放大器提供最少73 dB的直流增益和归一化0.43左右的积分器输出摆幅.

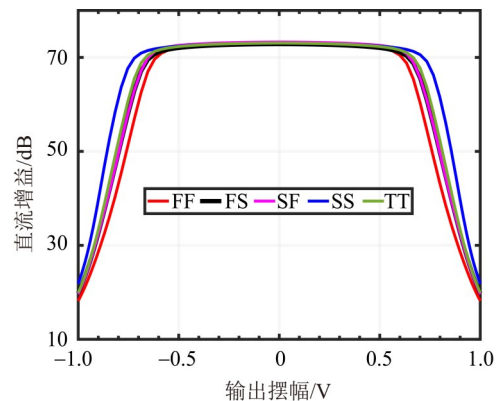


图6 直流增益对比输出摆幅曲线

3.3 前馈求和量化电路

低功耗的前馈求和电路需要避免有源加法器开销.为了保证芯片良率,需要确保系统传递函数对无源求和衰减和寄生电容不敏感.本文设计的delta-sigma调制器将异步一阶无源噪声整形SAR ADC集成到前馈无源求和电容阵列中,如图7所示.调制器在输入前馈

路径中引入了半周期延迟,在 Φ_{2d} 相位, V_{ip} 和 V_{o1p} 被采样到电容 C_{f1} 和 C_{f2} , 电容 C_{f3} 两端压差被清零. 在 Φ_{s1d} 相位, V_{o2p} 被采样至电容 C_{f3} . 随后在 Φ_{sar} 相位进行无源求和, 同时 Φ_{sar} 触发 SAR ADC 的异步逻辑, 经过一个延迟后产生 Φ_{cc} 比较时钟. 其中, Φ_{sum} 通过 $\Phi_{s1} \parallel \Phi_2$ 实现, Φ_{sum} 确保前馈求和正常工作. 类似地, Φ_p 由 $\Phi_{sar} \parallel \Phi_{2d}$ 实现. 假定 $C_{f1} = dC$, $C_{f2} = eC$ 和 $C_{f3} = fC$, 并且比较输入端存在对地寄生电容 C_p . 在 SAR 量化器工作期间, 比较器正端输入顶板电压可以被表示为

$$V_{DACP} = \frac{-dV_{ip} - eV_{o1p} - fV_{o2p} - D[i] \cdot W_i \cdot V_{REFP}}{d + e + f + 16 + C_p/C} \quad (4)$$

其中, $D[i]$ 是第 i 次比较的结果; W_i 是 SAR 量化器中当前切换电容的权重.

基于式(4)可知, 前馈无源求和电路和四比特 SAR 量化器具有严格一致的衰减因子. 因此, 本文设计的前馈求和量化电路对无源求和衰减和寄生电容都不敏感. 这种设计保证了芯片的良率并且降低了系统的功耗. 此外, 相比传统无源求和时序, 本文提出的时序在量化期间对第 2 级积分器的输出端没有驱动压力要求, 因此可以在前馈无源求和与 SAR CDAC 电容阵列公共顶板执行量化过程. 这对共源共栅浮动反相放大器是重要的, 因为它在积分末端的驱动能力较弱. 因此, 该

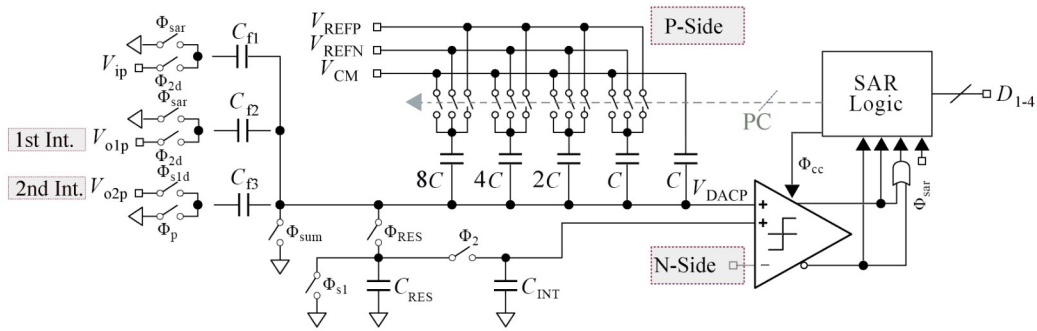
时序设计进一步降低了系统功耗. 由于无源求和电容阵列和 SAR CDAC 阵列的电容热噪声会受到环路滤波器的抑制, SAR CDAC 的单位电容 C 为 11.7 fF. 相应的, $C_{f1} = 16C$, $C_{f2} = C_{f3} = 8C$.

在 SAR ADC 完成量化过程后, Φ_{RES} 执行残差采样, 随后复用 Φ_2 相位实现无源积分. 最后输入晶体管尺寸比为 1X:4X 的四输入比较器^[3]执行量化操作. 至此, 无源前馈求和与量化过程结束. 根据 $a = 0.25$ 可得 $C_{RES} = 48C$ 和 $C_{INT} = 16C$, 这是一种具有版图匹配优势的系数设计. 假定电容阵列失配引起 a 发生偏移, 仿真得到 a 偏移 $\pm 20\%$ 的 SQNR 曲线如图 8 所示. 在 $a = 0.3$ 时, 最差的 SQNR 为 110 dB, 对于目标 SNDR = 97 dB 而言, 依旧留有足够的余量.

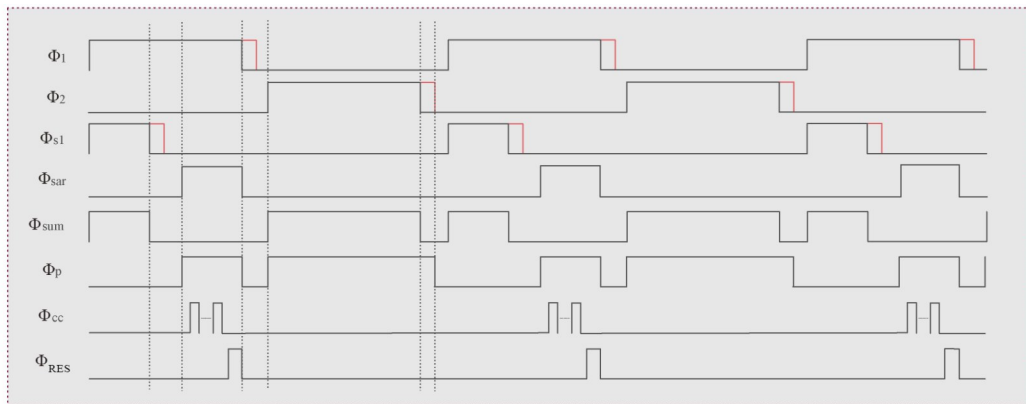
4 芯片测试结果

本文在 180 nm CMOS 工艺下设计了一种应用物联网传感的伪三阶 delta-sigma 调制器. 芯片显微照片如图 9 所示, 芯片的有效面积为 0.46 mm².

芯片测试环境如图 10 所示, 高精度输入信号由信号发生器 APX555 提供, 随后经过低通滤波器进入 delta-sigma 调制器. 调制器的参考电压由片外低功耗 LDO 芯片驱动. 时钟发生器 DG4062 提供 1 024 kHz 采



(a) 简化电路



(b) 时序

图 7 前馈无源求和与一阶无源 NS-SAR 量化器的简化电路与时序

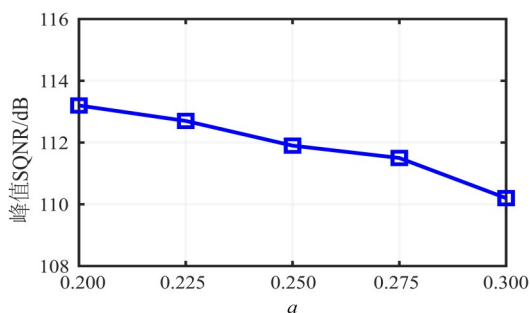


图8 仿真 α 偏移 $\pm 20\%$ 的峰值SQNR曲线

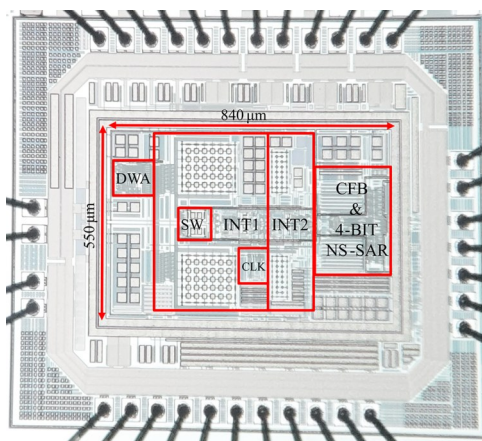


图9 芯片照片

样时钟,随后调制器的输出码流经过逻辑分析仪采集到PC端的MATLAB软件进行分析和处理.

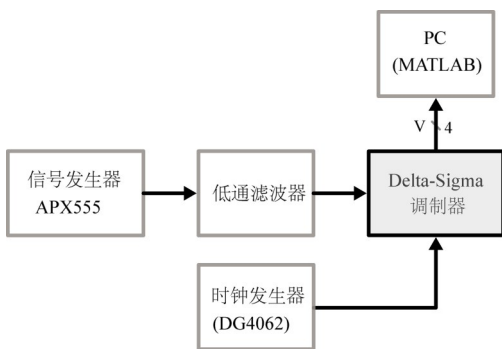


图10 芯片测试环境

图11为芯片的测试功耗模块图.在1.4V电源电压下,调制器总功耗为47.2 μ W.模拟部分(积分器、比较器)消耗9.59 μ W,数字部分(NS-SAR逻辑、DWA、时钟发生器)消耗34.3 μ W,参考电压消耗3.31 μ W.

调制器的采样频率和带宽分别为1024 kHz和8 kHz.当输入为1187.5 Hz、-0.79 dBFS的正弦信号时,测试输出频谱如图12所示.调制器的SNDR、SFDR(Spurious-Free Dynamic Range)和THD(Total Harmonic Distortion)分别为96.6 dB、114.4 dB和-108.3 dB.在启用DWA后,SNDR、SFDR和THD分别提高了11.8 dB、

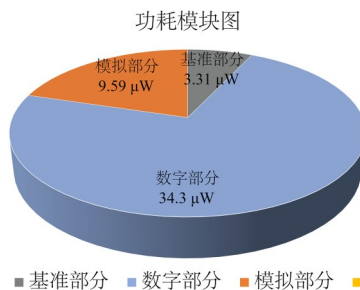


图11 功耗模块图

28.6 dB和23.2 dB.图13展示了测试SNR(SNDR)对比输入幅度的性能曲线,调制器的峰值SNR、峰值SNDR和动态范围分别为96.9 dB、96.6 dB和97.2 dB.相应地,Schreier和Walden的SNDR FoM(Figure of Merit)分别为178.9 dB和0.053 pJ/step.图14显示了SNR(SNDR)与带宽的关系曲线,测试结果表明调制器在16 kHz带宽下依旧可以较好地工作.图15展示了4颗芯片的峰值SNDR与电源电压变化的关系,它证明了调制器在没有任何校准的情况下表现出工艺鲁棒性,SNDR变化符合由 kT/C 噪声主导的SNDR变化趋势.

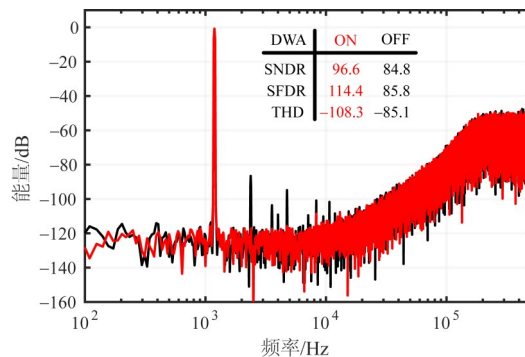


图12 测试输出频谱图(2¹⁶点)

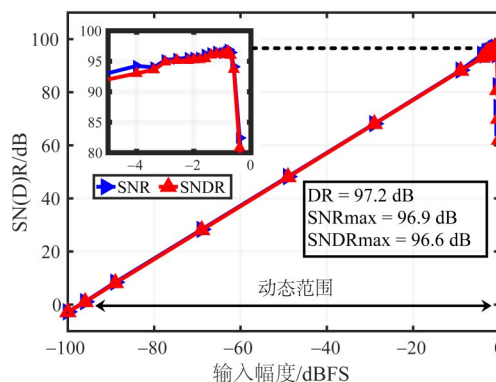


图13 测试SNR(SNDR)对比输入幅度曲线

表1展示了本文设计的调制器与近几年顶级期刊发表的先进调制器的对比.本文芯片在成熟工艺下依旧展示出了较高的能效,总体性能表现较好.这主要

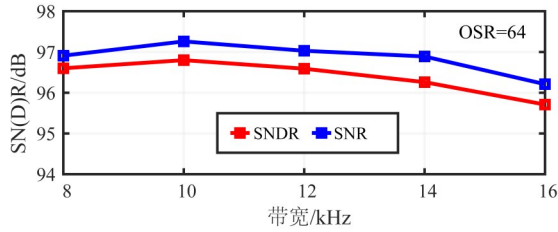


图 14 测试 SNR(SNDR)对比带宽曲线

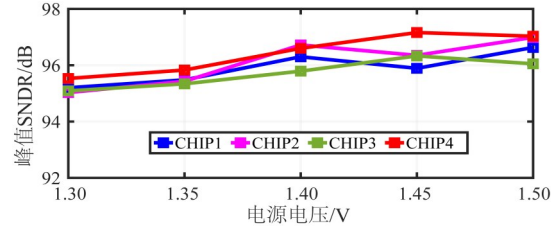


图 15 测试峰值 SNDR 对比电源电压曲线

得益于本文提出的伪三阶架构设计和新型低功耗求和量化电路,它允许系统在更低的 OSR 下实现更强的

噪声整形能力,从而缓解系统精度和功耗之间的设计矛盾.

表 1 与其他先进 delta-sigma 调制器的对比

对比文献	结构	工艺/nm	采样频率/kHz	过采样率	带宽/kHz	电源电压/V	功耗/ μ W	SNDR/dB	FoM _{S-SNDR} /dB	FoM _w /(pJ·step ⁻¹)
文献[9]	DSDT	110	512	128	2	1.5	62.43	93.9	169.0	3.850
文献[10]	DSDT	180	128	91	0.7	1.2	2.30	92.2	177.0	0.049
文献[14]	DSDT	180	3 072	64	24	1.8	340.00	96.2	174.7	1.340
文献[15]	Zoom	55	1 250	125	5	1.2	52.30	96.3	176.1	0.098
本文	DSDT	180	1 024	64	8	1.4	47.20	96.6	178.9	0.053

注: FoM_{S-SNDR}=SNDR+10lg(BW/Power), FoM_w=Power/((2×BW)×2^{ENOB}).

5 结论

本文在 180 nm CMOS 工艺设计了一种应用于物联网传感器的低功耗伪三阶 delta-sigma 调制器. 该架构将一阶无源噪声整形 SAR 量化器嵌入传统二阶 delta-sigma 调制器,在不影响系统稳定性的情况下实现了更强的噪声整形能力. 本文设计允许系统在更低的 OSR 下获取更高的峰值 SQNR,有效缓解了系统精度和功耗之间的设计矛盾,并且减少了有源积分器的使用,具有功耗低的优势. 本文提出的新型求和量化电路解决了传统有源加法器高功耗和无源加法器衰减不确定性的问题,具有衰减不敏感和功耗低的优势. 此外,新型求和量化时序放松了第 2 级积分器的输出端的驱动压力的要求. 相比其他先进 delta-sigma 调制器,本文设计的调制器的测试结果性能良好. 调制器在 8 kHz 带宽内实现了 178.9 dB 的 FoM_{S-SNDR} 和 0.053 pJ/step 的 FoM_w.

随着数字化技术的进步,伪三阶 delta-sigma 调制器将在低功耗和高分辨率物联网传感器中得到更加广泛的应用.

参考文献

[1] 张畅, 佟星元. 工艺-电压-温度综合稳健的亚 1 V 10 位 SAR ADC[J]. 电子学报, 2023, 51(8): 2050-2057.
ZHANG C, TONG X Y. A Sub-1 V 10 bit SAR ADC robust against process-voltage-temperature variation[J]. Acta Electronica Sinica, 2023, 51(8): 2050-2057. (in Chinese)

[2] SHEN Y T, LI H Y, BINDRA H S, et al. A 14-bit oversampled SAR ADC with mismatch error shaping and analog

range compensation[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2023, 70(5): 1719-1723.

[3] LIU J X, HSU C K, TANG X Y, et al. Error-feedback mismatch error shaping for high-resolution data converters[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2019, 66(4): 1342-1354.

[4] GUO W J, SUN N. A 12b-ENOB 61 μ W noise-shaping SAR ADC with a passive integrator[C]//ESSCIRC Conference 2016: 42nd European Solid-State Circuits Conference. Piscataway: IEEE, 2016: 405-408.

[5] ZHUANG H Y, GUO W J, LIU J X, et al. A second-order noise-shaping SAR ADC with passive integrator and tri-level voting[J]. IEEE Journal of Solid-State Circuits, 2019, 54(6): 1636-1647.

[6] LIU J X, WANG X, GAO Z J, et al. A 90-dB-SNDR calibration-free fully passive noise-shaping SAR ADC with 4 \times passive gain and second-order DAC mismatch error shaping[J]. IEEE Journal of Solid-State Circuits, 2021, 56(11): 3412-3423.

[7] 郭仲杰, 许睿明, 程新齐, 等. 面向亿级 CMOS 图像传感器的高速全并行两步式 ADC 设计方法[J]. 电子学报, 2023, 51(8): 2067-2075.
GUO Z J, XU R M, CHEN X Q, et al. High speed fully parallel two-step ADC design method for hundred million level CMOS image sensors[J]. Acta Electronica Sinica, 2023, 51(8): 2067-2075. (in Chinese)

[8] WANG L, LIU S B, ZHANG Y B, et al. A 44- μ W, 91.3-

dB SNDR DT $\Delta \Sigma$ modulator with second-order noise-shaping SAR quantizer[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2023, 70(9): 3575-3583.

- [9] GUO Y K, JIN J, LIU X M, et al. A 372 μ W 10 kHz-BW 109.2 dB-SNDR nested delta-sigma modulator using hysteresis-comparison MSB-pass quantization[J]. IEEE Journal of Solid-State Circuits, 2023, 58(9): 2554-2563.
- [10] HAN J H, CHO K I, KIM H J, et al. A 96dB dynamic range 2kHz bandwidth 2nd order delta-sigma modulator using modified feed-forward architecture with delayed feedback[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2021, 68(5): 1645-1649.
- [11] WEI C, WEI R S, HUANG L J, et al. A 1.2 V 2.3 μ W 94.7 dB DR delta-sigma modulator with dynamic-range enhancement and tri-level CDAC[C]//2023 IEEE Asian Solid-State Circuits Conference (A-SSCC). Piscataway: IEEE, 2023: 1-3.
- [12] HU Y P, ZHAO Y B, QU W Y, et al. A 2.87 μ W 1kHz-BW 94.0dB-SNDR 2-0 MASH ADC using FIA with dynamic-body-biasing assisted CLS technique[C]//2022 IEEE International Solid-State Circuits Conference (ISSCC). Piscataway: IEEE, 2022: 410-412.
- [13] SCHREIER R, SILVA J, STEENSGAARD J, et al. Design-oriented estimation of thermal noise in switched-capacitor circuits[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2005, 52(11): 2358-2368.
- [14] ASHWIN KUMAR R S, KRISHNAPURA N, BANERJEE P. Analysis and design of a discrete-time delta-sigma modulator using a cascoded floating-inverter-based dynamic amplifier[J]. IEEE Journal of Solid-State Circuits, 2022, 57(11): 3384-3395.
- [15] ZHAO Y B, ZHAO M L, TAN Z C. Fully dynamic zoom-ADC based on improved swing-enhanced FIAs using CLS technique with 1250 \times bandwidth/power scalability[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2023, 70(6): 1901-1905.

作者简介



魏 聪 男,1997年生,福建三明人.福州大学物理与信息工程学院博士研究生.主要研究方向为能效传感器接口电路与低功耗模数转换器.
E-mail: 211110013@fzu.edu.cn



黄黎杰 男,1999年生,福建南平人.福州大学物理与信息工程学院硕士研究生.主要研究方向为模拟集成电路设计.
E-mail: 221127038@fzu.edu.cn



胡 炜 男,1984年生.博士,福州大学副研究员.主要研究方向为模拟集成电路设计、存算一体芯片设计.
E-mail: whu@fzu.edu.cn



魏榕山 男,1980年生.博士,福州大学教授、博士生导师.福建省智能传感芯片技术与应用工程研究中心主任.主要研究方向为数模混合信号集成电路设计、传感电路与系统.中国电子学会会员编号:E190158883M.
E-mail: wrs08@fzu.edu.cn